

## 【特許請求の範囲】

【請求項 1】互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成されるプラズマディスプレイパネルであって、面放電のための電極対を構成する複数の主電極のそれぞれが、前記画面の行方向に延びる帯状のバス部と、前記隔壁との交差位置毎に当該バス部から列方向に張り出した複数のギャップ形成部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 2】前記複数のギャップ形成部の行方向の配置間隔は、前記列空間のうちの狭窄部の隔壁間隔と実質的に等しいか又はそれより大きい請求項 1 記載のプラズマディスプレイパネル。

【請求項 3】前記バス部は金属膜によって形成され、前記複数のギャップ形成部のそれぞれは、前記バス部から列方向の両側に張り出すようにパターンニングされた透明導電膜によって形成されている請求項 1 又は請求項 2 記載のプラズマディスプレイパネル。

【請求項 4】互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成されるプラズマディスプレイパネルであって、面放電のための電極対を構成する複数の主電極のそれぞれが、前記画面の行方向に延びる帯状のバス部と、前記列空間毎に当該バス部から広大部に向かって列方向に張り出した複数のギャップ形成部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 5】前記バス部に対する列方向の片側において、前記複数のギャップ形成部の行方向の配置間隔は、前記列空間のうちの狭窄部の隔壁間隔と実質的に等しいか又はそれより大きい請求項 4 記載のプラズマディスプレイパネル。

【請求項 6】前記バス部は金属膜によって形成され、前記複数のギャップ形成部は、列方向に蛇行しながら行方向に延びる帯状にパターンニングされた透明導電膜によって形成されている請求項 4 又は請求項 5 記載のプラズマディスプレイパネル。

【請求項 7】前記複数のギャップ形成部のそれぞれは、前記バス部と離れて行方向に延びる第 1 直線パターンと、当該第 1 直線パターンの両端部のそれぞれを当該バス部とつなぐ 2 個の第 2 直線パターンとからなる請求項 4 乃至請求項 6 のいずれかに記載のプラズマディスプレイパネル。

【請求項 8】前記第 1 直線パターンの両端が、当該第 1 直線パターンにつながる前記第 2 直線パターンよりも行方向に突出している請求項 7 記載のプラズマディスプレイパネル。

【請求項 9】前記複数のギャップ形成部のそれぞれは、それとともに面放電ギャップを形成する他の主電極のギャップ形成部との間で対向する辺どうしが平行でない形状にパターンニングされている請求項 4 乃至請求項 6 のいずれかに記載のプラズマディスプレイパネル。

【請求項 10】前記複数のギャップ形成部のそれぞれは、両端が前記バス部とつながった弧状である請求項 9 記載のプラズマディスプレイパネル。

【請求項 11】互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成され、面放電のための電極対を構成する複数の主電極が前記放電空間の前側に配置されたプラズマディスプレイパネルであって、前記複数の主電極のそれぞれが、平面視において前記隔壁に沿って列方向に蛇行しながら行方向に延びる帯状のバス部と、前記列空間毎に当該バス部から広大部に向かって列方向に張り出した複数のギャップ形成部とを有しており、

前記バス部は金属膜によって形成され、前記複数のギャップ形成部のそれぞれは、両端のみが前記バス部とつながった帯状であり、列方向に蛇行しながら行方向に延びる帯状の透明導電膜によって形成されていることを特徴とするプラズマディスプレイパネル。

【請求項 12】互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成され、面放電のための電極対を構成する複数の主電極が前記放電空間の前側に配置されたプラズマディスプレイパネルであって、

前記複数の主電極のそれぞれが、平面視において前記隔壁に沿って列方向に蛇行しながら行方向に延びる帯状のバス部と、前記列空間のそれぞれの広大部で行方向に延びる直線帯状の複数のギャップ形成部とを有し、且つ当該複数のギャップ形成部のそれぞれと当該バス部との間に間隙を有した形状にパターンニングされており、前記バス部は金属膜によって形成され、

前記複数のギャップ形成部は透明導電膜によって形成されていることを特徴とするプラズマディスプレイパネル。

【請求項 13】前記複数の主電極のそれぞれが、前記金属膜と、前記画面の行方向の全長にわたって互いに離れて延びる少なくとも 2 本の直線帯状の透明導電膜とからなる請求項 12 記載のプラズマディスプレイパネル。

【請求項 14】前記透明導電膜は、前記複数のギャップ形成部のそれぞれの行方向の中央と前記バス部とを接続するための連結パターンを有した形状にパターンニングされている請求項 12 記載のプラズマディスプレイパネ

ル。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、対をなす主電極が画面の行を画定する行電極として同一方向に延びる面放電形式のPDP（プラズマディスプレイパネル）に関する。

【0002】PDPにおいて、単位消費電力当たりの発光量（光束）である発光効率 $[lm/W]$ を高める上では、セル面積に対する主電極面積の割合（面積比）が小さいほどよいと言われている。「プラズマディスプレイ最新技術」（御子柴 著、EDリサーチ社）には次の関係が記載されている。

【0003】発光効率 $=1/(1+c \times \text{放電電流密度})$   
ただし、 $c$ は定数

発光効率が高まる理由として次の2点が挙げられる。第1は、電極間の静電容量の充電に消費する無効電力が小さくなることである。第2は、面積比が小さくなるにつれて放電電流が減少し、それによって放電ガスによる真空紫外光の自己吸収が減少して蛍光体の励起効率が高まることである。

【0004】しかし、面積比を小さくするために主電極の幅を縮小すると、面放電ギャップ長が広がることになる。この場合、電極間の静電容量が減少するものの、放電開始電圧が上昇して駆動の電圧マージンが狭まってしまふ。

【0005】画面の大型化及び高精細化によるセル数の増加は消費電力の増大を招く。発熱対策の観点からも消費電力の低減が重要課題となっており、表示の安定に必要な動作マージンの確保と発光効率の向上の両立が望まれている。

##### 【0006】

【従来の技術】図13は従来のPDPの内部構造を示す斜視図、図14は従来の電極構造を示す平面図である。

【0007】図示のPDP9は特開平9-50768号公報に記載された構造をもつ。前面側のガラス基板11の上に主電極Xq、Yq、誘電体層17及び保護膜18が設けられ、背面側のガラス基板21の上に列電極としてのアドレス電極A、絶縁層24、放電空間30を区画する隔壁29、及びカラー表示のための蛍光体層28R、28G、28Bが設けられている。主電極Xq、Yqは、それぞれが透明導電膜41qと金属膜42qとから構成され、列方向に一定の間隔（面放電ギャップ）を隔てて交互に配列されている。面放電ギャップのギャップ方向、すなわち主電極Xq、Yqの対峙方向は列方向である。放電空間30には例えばネオンとキセノンとの2成分ガスが充填されている。

【0008】PDP9において、放電空間30を列毎に区画する隔壁29の平面視形状は、規則的に蛇行する帯状である。図14のように、各隔壁29は平面視におい

て一定の周期及び振幅で波打っており、隣接する隔壁29との距離が列方向に沿って周期的に一定値より小さくなるように配置されている。一定値とは放電の抑止が可能な寸法であり、ガス圧などの放電条件によって定まる。各隔壁29が互いに離れて配置されているので、隣接する隔壁どうしの間の空間（列空間）31は、画面の全ての行に跨がって連続している。これにより列単位のプライミングによる駆動の容易化、蛍光体層の印刷状態の均一化、及び製造における排気処理の容易化を図ることができる。PDP9では、R（赤）の蛍光体層28R、G（緑）の蛍光体層28G、及びB（青）の蛍光体層28Bが各列毎に1色ずつRGBの順に配置されている。列内の各行の発光色は同一である。

【0009】列空間31のうち、行方向の幅の小さい部分（狭窄部）31Bでは面放電が生じにくく、幅の広い部分（広大部）31Aが実質的に発光に寄与する。したがって、各行において1列置きに表示素子であるセルが配置されることになる。そして、隣接する2つの行に注目すると、セルの配置される列が1列毎に交互に入れ替わる。つまり、セルは行方向及び列方向の双方において千鳥状に並ぶ。PDP9では、隣接するRGBの計3つのセルによって1つの画素が構成され、カラー表示の3色の配列形式は三角（デルタ）配列形式である。三角配列は、行方向においてセルの幅が画素ピッチの $1/3$ よりも大きく、インライン配列に比べて高精細化に有利である。また、画面のうちの非発光領域の占める割合が小さいので、高輝度の表示を行うことができる。

##### 【0010】

【発明が解決しようとする課題】従来の構造では、主電極Xq、Yqの平面視形状が画面の全長にわたる一定幅の直線帯状であり、列空間31の狭窄部31Bにおいても広大部31Aと同様に主電極Xq、Yqが近接していた。このため、狭窄部31Bで誤放電の生じるおそれがあり、駆動電圧の設定で誤放電を確実に防止しようとする動作マージンが小さくなってしまふという問題があった。電極間の静電容量の充電に要する無駄な消費電力が大きいという問題もあった。

【0011】本発明は、動作マージンを減少させずに行間の放電の干渉をより確実に防止することを目的としている。他の目的は、電極間の静電容量を低減することにある。さらに他の目的は、放電電流を低減して発光効率をより高めることにある。

##### 【0012】

【課題を解決するための手段】本発明においては、列空間の狭窄部での電極面積比が広大部での電極面積比より小さくなり、かつ狭窄部での行間の電極間隙の最大値が広大部での電極間隙の最小値（すなわち面放電ギャップ長）より大きくなるように、主電極の形状を選定する。狭窄部での電極面積比が小さいほど、電極に沿った放電の拡がり方が抑制されて列方向の放電の干渉が防止され

る。電極面積比が0となるように、すなわち狭窄部を避けるように主電極を設けるのが最も好ましい。また、狭窄部での行間の電極間隙を電極が対向する範囲の全体又は一部について大きくすることにより、電極間の静電容量が低下するので、無駄な電力消費が低減されてその分だけ発光効率が高まる。

【0013】本発明においては、主電極を、行方向に延びる帯状部分とそれから列毎に広大部へ張り出す半環状部分とを有した形状に形成する。半環状部分は、隣接する他の主電極の半環状部分と対向して面放電ギャップを形成する。半環状部分と帯状部分との隙間の分だけセル内の電極面積が小さくなり、放電電流が減少して発光効率が高まる。電極面積を小さくするために面放電ギャップ長を増大させる必要はない。すなわち所定の動作マージンを確保することができる。なお、時間当たりの発光回数を増やすことにより、放電電流の減少による輝度の低下を補うことができる。主電極を放電空間の前側面に配置する場合は、半環状部分をITO、ネサといった透明導電膜で形成するのが輝度の上で好ましい。主電極を放電空間の背面側に配置する場合は、電極による遮光に対する配慮が不要であるので、帯状部分及び半環状部分を金属膜で形成してもよい。この場合も帯状部分は電極のライン抵抗を低減する。帯状部分を省略すると、電極形状が蛇行した帯状となってその全長が画面より長くなるので、電圧降下が顕著になる。

【0014】請求項1の発明の装置は、互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成されるプラズマディスプレイパネルであって、面放電のための電極対を構成する複数の主電極のそれぞれが、前記画面の行方向に延びる帯状のバス部と、前記隔壁との交差位置毎に当該バス部から列方向に張り出した複数のギャップ形成部とからなるものである。

【0015】請求項2の発明のプラズマディスプレイパネルにおいて、前記複数のギャップ形成部の行方向の配置間隔は、前記列空間のうちの狭窄部の隔壁間隔と実質的に等しいか又はそれより大きい。

【0016】請求項3の発明のプラズマディスプレイパネルにおいて、前記バス部は金属膜によって形成され、前記複数のギャップ形成部のそれぞれは、前記バス部から列方向の両側に張り出すようにパターンニングされた透明導電膜によって形成されている。

【0017】請求項4の発明のプラズマディスプレイパネルは、面放電のための電極対を構成する複数の主電極のそれぞれが、前記画面の行方向に延びる帯状のバス部と、前記列空間毎に当該バス部から広大部に向かって列方向に張り出した複数のギャップ形成部とからなるものである。

【0018】請求項5の発明のプラズマディスプレイパネルでは、前記バス部に対する列方向の片側において、前記複数のギャップ形成部の行方向の配置間隔は、前記列空間のうちの狭窄部の隔壁間隔と実質的に等しいか又はそれより大きい。

【0019】請求項6の発明のプラズマディスプレイパネルにおいて、前記バス部は金属膜によって形成され、前記複数のギャップ形成部は、列方向に蛇行しながら行方向に延びる帯状にパターンニングされた透明導電膜によって形成されている。

【0020】請求項7の発明のプラズマディスプレイパネルにおいて、前記複数のギャップ形成部のそれぞれは、前記バス部と離れて行方向に延びる第1直線パターンと、当該第1直線パターンの両端部のそれぞれを当該バス部とつなぐ2個の第2直線パターンとからなる。

【0021】請求項8の発明のプラズマディスプレイパネルにおいては、前記第1直線パターンの両端が、当該第1直線パターンにつながる前記第2直線パターンよりも行方向に突出している。

【0022】請求項9の発明のプラズマディスプレイパネルにおいて、前記複数のギャップ形成部のそれぞれは、それとともに面放電ギャップを形成する他の主電極のギャップ形成部との間で対向する辺どうしが平行でない形状にパターンニングされている。

【0023】請求項10の発明のプラズマディスプレイパネルにおいて、前記複数のギャップ形成部のそれぞれは、両端が前記バス部とつながった弧状である。請求項11の発明の装置は、互いに離れて並ぶ複数の隔壁によって画面内の放電空間が列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、前記列空間のうちの広大部のそれぞれに面放電ギャップが形成され、面放電のための電極対を構成する複数の主電極が前記放電空間の前側に配置されたプラズマディスプレイパネルであって、前記複数の主電極のそれぞれが、平面視において前記隔壁に沿って列方向に蛇行しながら行方向に延びる帯状のバス部と、前記列空間毎に当該バス部から広大部に向かって列方向に張り出した複数のギャップ形成部とを有しており、前記バス部は金属膜によって形成され、前記複数のギャップ形成部のそれぞれは、両端のみが前記バス部とつながった帯状であり、列方向に蛇行しながら行方向に延びる帯状の透明導電膜によって形成されているものである。

【0024】請求項12の発明のプラズマディスプレイパネルにおいては、前記複数の主電極のそれぞれが、平面視において前記隔壁に沿って列方向に蛇行しながら行方向に延びる帯状のバス部と、前記列空間のそれぞれの広大部で行方向に延びる直線帯状の複数のギャップ形成部とを有し、且つ当該複数のギャップ形成部のそれぞれと当該バス部との間に間隙を有した形状にパターンニングされており、前記バス部は金属膜によって形成され、前

記複数のギャップ形成部は透明導電膜によって形成されている。

【0025】請求項13の発明のプラズマディスプレイパネルにおいては、前記複数の主電極のそれぞれが、前記金属膜と、前記画面の行方向の全長にわたって互いに離れて延びる少なくとも2本の直線帯状の透明導電膜とからなる。

【0026】請求項14の発明のプラズマディスプレイパネルにおいて、前記透明導電膜は、前記複数のギャップ形成部のそれぞれの行方向の中央と前記バス部とを接続するための連結パターンを有した形状にパターンニングされている。

【0027】

【発明の実施の形態】図1は本発明に係るPDPの画面構成を示す図、図2は電極マトリクスの模式図である。

【0028】図示のPDP1は面放電構造のAC型カラーPDPであり、一対の基板構体10、20からなる。基板構体とは、ガラス基板上に電極その他の構成要素を設けた構造体を意味する。PDP1の構造は、主電極の構成を除いて、図13に示した従来のPDP9と同様である。したがって、ここでは一部の構成要素の説明を省略する。

【0029】画面ESは千鳥状に並ぶ多数個のセルCで構成され、RGB配列は三角配列形式である。平面視における画面ESの範囲内で、放電空間30は規則的に蛇行する隔壁29によって区画され、広大部31Aと狭窄部31Bとが交互に並ぶ列空間31が形成されている。各セルCは画面ESにおける1つの広大部31Aの範囲内の構造体である。図1では代表として5個のセルCを鎖線の円で示してある（図を見やすくするために円は実際より若干大きい範囲を囲んでいる）。

【0030】表示制御における行（ライン）、すなわち表示データに応じた帯電分布を形成する線順次のアドレッシングにおける単位セル集合は、垂直方向の位置が同一で水平方向に並んだ1列置き of セルCからなる。奇数行と偶数行とでは、セル位置が水平方向に1列分だけずれる。なお、必ずしも水平方向をライン方向とする必要はなく、垂直方向をライン方向とし水平方向を列方向としてもよい。

【0031】図2のように、画面ESを構成する各セルCにおいて、本発明に特有の形状にパターンニングされた一対の主電極X、Yと、第3の電極であるアドレス電極Aとが交差する。主電極X、Yは、前面側の基板構体10の基材であるガラス基板11の内面に配列されており、画面ESの行方向の全長にわたって延びている。そして、主電極X、Yは左右に振り分けて画面ESの外側へ導出され、ガラス基板11の端縁近傍で図示しない配線板と接続される。その接続部分は端子として膨大化されている。なお、主電極X、Yは、それぞれが後述する透明導電膜と金属膜（いわゆるバス電極）との積層体で

あるが、画面ESの外側の導出部分は金属膜のみからなる。金属膜42は、例えばクロム-銅-クロムの3層構造をとる。

【0032】図2の例では、計N本の主電極 $Y_1 \sim Y_N$ と計N本の主電極 $X_1 \sim X_N$ とが1本ずつ交互に配列されており、画面ESのライン数は2Nである。配列の先端の主電極 $Y_1$ 及び後端の主電極 $X_N$ は1つの行の表示のみに係わるが、他の主電極 $Y_2 \sim Y_N$ 、 $X_1 \sim X_{N-1}$ は隣接する2つの行の表示に係わる。

10 【0033】計M本のアドレス電極 $A_1 \sim A_M$ は、背面側の基板構体20の基材であるガラス基板21の内面に配列されており、アドレス電極 $A_1 \sim A_M$ のそれぞれが1列の表示に係わる。

【0034】PDP1の駆動制御の概略は次のとおりである。主電極 $Y_1 \sim Y_N$ に対して1本ずつ所定の順序でスキャンパルスを加し、これと同期させてアドレス電極 $A_1 \sim A_M$ に表示データに応じてアドレスパルスを加するアドレッシングを行う。すなわち、画面全体に広がる誘電体層17のうちの点灯すべきセル内の部分のみに適量の壁電荷を形成する。その後、例えば主電極X、Yとに交互にパルスを加することによって、全てのセルCに対して一斉に交番極性の点灯維持電圧 $V_s$ を加する。点灯維持電圧 $V_s$ は次式を満たす。

【0035】 $V_f - V_w < V_s < V_f$

$V_f$ ：放電開始電圧

$V_w$ ：壁電荷

適量の壁電荷の存在するセルCでは、壁電圧 $V_w$ が点灯維持電圧 $V_s$ に重畳するので、セルCに加わる実効電圧 $V_c$ が放電開始電圧 $V_f$ を越えて基板面（保護膜18）に沿った主電極間の面放電が生じる。そして、放電ガス中のキセノンが紫外線を放ち、面放電が生じたセル内の蛍光体が紫外線で励起されて発光する。

【0036】このように発光制御は2値制御である。したがって、カラー表示を行うために、原画像（フレーム又はそれを分割したフィールド）を輝度の重み付けをした複数のサブフィールドに分割し、サブフィールド単位で各セルCの点灯／非点灯を制御する。サブフィールド数を「8」とした場合、RGBの各色毎に256階調表示が可能であり、表示色数は「 $256^3$ 」となる。基本的にはサブフィールド毎にアドレッシングと点灯維持とを行う。点灯維持期間の長さ、つまり放電回数は輝度の重みにほぼ比例する。

【0037】以下、本発明を適用した主電極形状の複数の例を説明する。図面及び説明が煩雑になるのを避けるため、全ての例にわたって原則として共通の参照符号を付す。ただし、構成の差異の理解を容易にするため、第2例以降の各例において、形状又は構造が第1例と異なる構成要素については参照符号に小文字のアルファベット（b、c、d…j）を付す。

50 【0038】図3は主電極形状の第1例を示す図であ

る。主電極 X、Y は互いに線対称であるので、図中の参照符号は主電極 X を代表として付してある。以下の図においても同様である。

【0039】第 1 例において、主電極 X、Y のそれぞれは、実質的に等間隔に行方向に並ぶ複数の短冊状の透明導電膜 41 と、行方向に延びる直線帯状の金属膜 42 とで構成される。各透明導電膜 41 は、主電極 X、Y と隔壁 29 との交差位置毎に配置されており、その配置間隔 D a は列空間の狭窄部 31 B における隔壁間隔と等しい（ただし、実際には製造上の多少の誤差がある）。金属膜 42 は、各透明導電膜 41 における列方向の中央部分と重なるように位置決めされている。したがって、平面視形状の上では、主電極 X、Y のそれぞれは、直線帯状のバス部と、隔壁との交差位置毎にバス部から列方向に張り出した複数のギャップ形成部 411、412 とを有する。金属膜 42 がバス部に相当し、透明導電膜 41 のうちの金属膜 42 と重なっていない部分がギャップ形成部 411、412 に相当する。

【0040】金属膜（バス部）42 は、遮光を最小限とするため列空間における広大部 31 A の列方向の端部に寄った位置を通るように配置されている。各広大部 31 A において、主電極 X の透明導電膜 41 と当該主電極 X に隣接した主電極 Y の透明導電膜 41 とが近接し、左右に分かれた 2 個の面放電ギャップ g を形成する。

【0041】上述のとおり透明導電膜 41 が配置間隔 D a を設けて配置されるので、狭窄部 31 B には主電極が存在しない。したがって、従来構造と比べて、狭窄部 31 B における電界強度が小さくなり、広大部 31 A から他の広大部 31 A へ移動する電荷が減少する。すなわち、行間の放電の干渉が抑制されるので、面放電ギャップ長の設定の自由度が高まるとともに、十分な動作マージンの確保が可能となる。主電極間隙の平均値が面放電ギャップ長より大きくなるので、電極間の静電容量が減少する。また、電極面積が少なくなった分だけ発光効率が高くなる。さらに、副次的な効果として、放電が隔壁 29 の近傍に集中するので、隔壁 29 の側面を覆う蛍光体の発光が強まり、発光効率がさらに高まる。

【0042】図 4 は主電極形状の第 2 例を示す図である。主電極 X b、Y b のそれぞれは、列方向に蛇行しながら行方向に延びる帯状の透明導電膜 41 b と、上述の例と同様の金属膜 42 とで構成される。透明導電膜 41 b は、行方向に延びる直線帯状のバス部と、列空間毎にバス部から広大部 31 A に向かって列方向の一方側及び他方側に交互に張り出す複数のギャップ形成部 411 b、412 b とを有した形状にパターンニングされる。バス部は金属膜 42 と重なる部分に相当する。金属膜 42 の片側（奇数行側又は偶数行側）において、ギャップ形成部 411 b、412 b の配置間隔 D b は狭窄部 31 B における隔壁間隔と実質的に等しい。つまり、この第 2 例の電極形状は、図 3 の第 1 例における行方向に並ぶ透

明導電膜 41 どうしを、広大部 31 A の範囲内で連結したものである。その連結部分の面積を選定することにより、電極面積の減少による輝度の低下を最小限に抑えて動作マージンの拡大を図るバランス調整が可能である。第 2 例の構成を採用した場合に、放電電流及び静電容量を充電する無効電流の双方を約 30% 低減し、発光効率を約 40% 向上させることができた。

【0043】図 5 は主電極形状の第 3 例を示す図である。PDP 1 c においても主電極 X c、Y c のそれぞれは、列方向に蛇行しながら行方向に延びる帯状の透明導電膜 41 c と、上述した金属膜 42 とで構成される。透明導電膜 41 c は、第 2 例の透明導電膜 41 b よりも細い帯状であって、列毎に金属膜 42 から広大部 31 A に向かって張り出す半環状（C 字状）の複数のギャップ形成部 411 c、412 c を有した形状にパターンニングされている。図の上側に張り出すギャップ形成部 411 c は、金属膜 42 と離れて行方向に延びる第 1 直線パターン 511 と、第 1 直線パターン 511 の両端部のそれぞれを金属膜 42 とつなぐ 2 個の第 2 直線パターン 512、513 とからなる。同様に、図の下側に張り出すギャップ形成部 412 c も、第 1 直線パターン 521 と 2 個の第 2 直線パターン 522、523 とからなる。第 1 直線パターン 511、521 の長さは両端が隔壁 29 から一定長 d だけ離れるように選定されており、ギャップ形成部 411 c、421 c の配置間隔 D c は狭窄部 31 B の隔壁間隔より十分に大きい。第 1 直線パターン 511、521 を隔壁 29 から離すことにより、蛍光体へのイオン衝撃を軽減することができる。

【0044】図 5（B）の透明導電膜 41 c' の第 1 直線パターン 511' 又は図 5（C）の透明導電膜 41 c'' の第 1 直線パターン 511'' のように、帯の太さを選定して電極面積を最適化することができる。第 3 例の構成を採用した場合に、放電電流を約 70% 低減し、発光効率を約 20% 向上させることができた。

【0045】図 6 は主電極形状の第 4 例を示す図である。第 4 例の PDP 1 d の電極形状は基本的には第 3 例と同様である。この例の特徴は、透明導電膜 41 d のうちのギャップ形成部 411 d、412 d を構成する半環状部分において、行方向に延びる第 1 直線パターン 514、524 の両端が第 2 直線パターン 512、513、523、524 より突出している点である。その突出した分だけ面放電ギャップの幅（電極対向距離）が延びて放電確率が增大するので、駆動電圧を低減することができる。列方向に突出させても同様の効果が得られる。

【0046】図 7 は主電極形状の第 5 例を示す図である。PDP 1 e においても主電極 X e、Y e のそれぞれは、列方向に蛇行しながら行方向に延びる透明導電膜 41 e と、上述した金属膜 42 とで構成される。透明導電膜 41 e は、波打つように湾曲した帯状であって、列毎に金属膜 42 から広大部 31 A に向かって張り出す弧状



11

のギャップ形成部 411e, 412e を有した形状にパターンニングされている。各広大部 31A において、主電極 Xe のギャップ形成部 411e, 412e と隣接した主電極 Ye のギャップ形成部 411e, 412e とが対峙し、鼓状の面放電ギャップ g を形成する。すなわち、ギャップ形成部 411e, 412e の対向する辺どうしは平行でない。なお、帯状の透明導電膜 41e の幅は規則的に変化してもよい。

【0047】第 5 例によれば、面放電ギャップ長（最短電極間距離）を増大させずに、電極間距離の平均値を大幅に低減して静電容量を低下させることができる。第 3 例と同様に放電干渉の防止及び放電電流の低減し、さらに第 3 例と比べて無効電流を約 20% 低減して発光効率を約 30% 向上させることができた。

【0048】図 8 は主電極形状の第 6 例を示す図である。PDP1f においても主電極 Xf, Yf のそれぞれは、蛇行した帯状の透明導電膜 41f と、上述した直線帯状の金属膜 42 とで構成される。透明導電膜 41f は、三角波のように折れ曲がり、列毎に金属膜 42 から広大部 31A に向かって張り出す山状のギャップ形成部 411f, 412f を有した形状にパターンニングされている。各広大部 31A において、主電極 Xf のギャップ形成部 411f, 412f と隣接した主電極 Yf のギャップ形成部 411f, 412f とが面放電ギャップ g を形成する。この第 6 例においてもギャップ形成部 411f, 412f の対向辺どうしは平行ではなく、第 5 例と同様の効果がある。

【0049】図 9 は主電極形状の第 7 例を示す図である。PDP1g においても主電極 Xg, Yg のそれぞれは、蛇行した帯状の透明導電膜 41g と、上述した直線帯状の金属膜 42 とで構成される。透明導電膜 41g は、規則的に折れ曲がり、列毎に金属膜 42 から広大部 31A に向かって張り出す M 字状のギャップ形成部 411g, 412g を有した形状にパターンニングされている。各広大部 31A において、主電極 Xg のギャップ形成部 411g, 412g と隣接した主電極 Yg のギャップ形成部 411g, 412g とが面放電ギャップ g を形成する。放電は広大部 31A の左右両側に集中する。この第 7 例においてもギャップ形成部 411g, 412g の対向辺どうしは平行でなく、第 5 例及び第 6 例と同様の効果がある。

【0050】図 10 は主電極形状の第 8 例を示す図である。PDP1h において、主電極 Xh, Yh のそれぞれは、図 5 の第 3 例と同様に蛇行した帯状の透明導電膜 41h と、広大部 31A を避けるように隔壁 29 に沿って蛇行しながら行方向に延びる帯状の金属膜 43 とで構成される。各広大部 31A において、主電極 Xh のギャップ形成部 411h, 412h と隣接した主電極 Yh のギャップ形成部 411h, 412h とが面放電ギャップ g を形成する。

12

【0051】この第 8 例では、隣接する金属膜 43 どうしの最短距離 Dt が図 5 の第 3 例より小さくなるものの、広大部 31A の行方向中央での透明導電膜 41h と金属膜 43 との距離 Ds が大きくなる。透明導電膜 41h と金属膜 43 との隙間では電界強度が小さいので、行間の放電の干渉を図 5 の第 3 例と同程度に抑えることができる。さらに副次的な効果として、金属膜 43 による遮光が軽減されて発光効率が高まる。第 8 例を採用した場合に、第 3 例と同様に放電干渉の防止し、発光効率を第 3 例と比べて約 10%、従来例と比べて約 40% 向上させることができた。

【0052】図 11 は主電極形状の第 9 例を示す図である。PDP1i において、主電極 Xi, Yi のそれぞれは、画面の全長にわたって行方向に平行に延びる 2 本の直線帯状の透明導電膜 41A, 41B と、図 10 と同様に蛇行しながら列方向に延びる金属膜 43 とで構成される。各広大部 31A において、主電極 Xi の透明導電膜 41A, 41B と隣接した主電極 Yi の透明導電膜 41B, 41A とが面放電ギャップ g を形成する。透明導電膜 41A, 41B のうちの金属膜 43 と重ならない部分がギャップ形成部 411i, 412i である。

【0053】この第 9 例では、金属膜 43 からギャップ形成部 411i, 412i の中央位置 P までの最短導電経路（図中の破線矢印）が図 10 の第 8 例と比べて短いので、透明導電膜の抵抗による電圧降下が比較的に小さい。

【0054】図 12 は主電極形状の第 10 例を示す図である。PDP1j において、主電極 Xj, Yj のそれぞれは、画面の全長にわたって行方向に延びる梯子状の透明導電膜 41j と、上述のように蛇行した帯状の金属膜 43 とで構成される。透明導電膜 41j のうちの金属膜 43 と重ならない部分がギャップ形成部 411j, 412j であり、各広大部 31A において主電極 Xj のギャップ形成部 411j, 412j と隣接した主電極 Yj のギャップ形成部 411j, 412j とが面放電ギャップ g を形成する。透明導電膜 41j の形状は、図 11 の第 9 例における透明導電膜 41A, 41B を、各列の中央で連結したものである。連結パターン 413 を設けることにより、金属膜 43 からギャップ形成部 411j, 412j の中央位置 P までの最短導電経路（図中の破線矢印）が図 11 の第 9 例と比べてさらに短くなる。ただし、放電の干渉防止効果は低下するので、少なくとも連結パターン 413 幅を狭窄部 31B の隔壁間隔よりも小さくする必要がある。第 8 例を採用した場合に、発光効率を約 30% 高めることができた。

【0055】以上の実施形態において、隔壁形状の種々の変形が可能である。例えば平面視において列方向に延びる基部とそれから行方向に張り出た突起部とからなる隔壁を設けてもよい。この場合にも、広大部 31A と狭窄部 31B とが交互に並ぶ列空間 31 を形成することが

できる。

【0056】以上の実施形態では、主電極X、Xb～j、Y、Yb～jを放電空間30の前面側に配置したいわゆる反射型を例示したが、図3～図9の電極構成は、主電極X、Xb～g、Y、Yb～gを背面側に配置する透過型のPDPにも適用することができる。透過型では主電極X、Xb～g、Y、Yb～gの全体（バス部及ギャップ形成部）を金属膜のパターニングで形成してもよい。なお、主電極を金属膜のみで構成する場合、本発明のバス部とギャップ形成部とが一括に形成されるので、例えば請求項2の発明に係るバス部とその両側に張り出す導電膜とで互いの一部が共通となる。また、図3～図9に示した第1～第7の実施例において、直線帯状の金属膜に代えて図10の第8例のような蛇行した帯状の金属膜を採用してもよい。

【0057】

【発明の効果】請求項1乃至請求項14の発明によれば、動作マージンを減少させずに行間の放電の干渉をより確実に防止することができる。また、主電極間の静電容量を低減することができる。

【0058】請求項11乃至請求項14の発明によれば、主電極による遮光を無くし、発光効率を高めることができる。

【図面の簡単な説明】

【図1】本発明に係るPDPの画面構成を示す図である。

【図2】電極マトリクス模式図である。

【図3】主電極形状の第1例を示す図である。

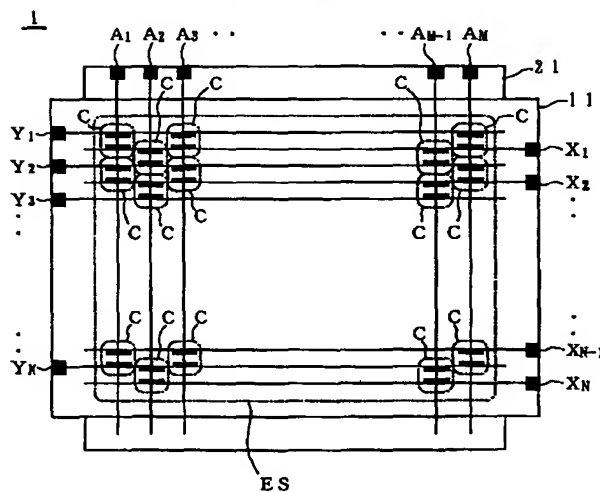
【図4】主電極形状の第2例を示す図である。

【図5】主電極形状の第3例を示す図である。

【図6】主電極形状の第4例を示す図である。

【図2】

電極マトリクス模式図



【図7】主電極形状の第5例を示す図である。

【図8】主電極形状の第6例を示す図である。

【図9】主電極形状の第7例を示す図である。

【図10】主電極形状の第8例を示す図である。

【図11】主電極形状の第9例を示す図である。

【図12】主電極形状の第10例を示す図である。

【図13】従来のPDPの内部構造を示す斜視図である。

【図14】従来の電極構造を示す平面図である。

10 【符号の説明】

1, 1b～j PDP（プラズマディスプレイパネル）

29 隔壁

ES 画面

30 放電空間

31 列空間

31A 広大部

31B 狭窄部

X, Xb～j 主電極

Y, Yb～j 主電極

20 42, 43 金属膜（バス部）

41, 41b～j 透明導電膜

41A, 41B 透明導電膜

411, 411b～j ギャップ形成部

412, 412b～j ギャップ形成部

511, 521 第1直線パターン

514, 524 第1直線パターン

512, 513 第2直線パターン

522, 523 第2直線パターン

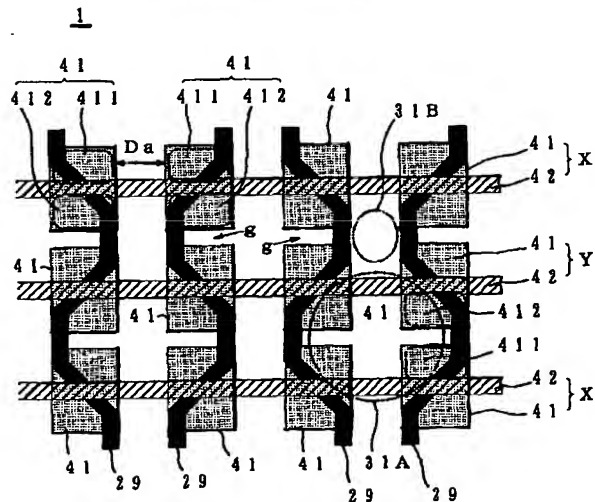
413 連結パターン

30 g 面放電ギャップ

Da, Db 配置間隔

【図3】

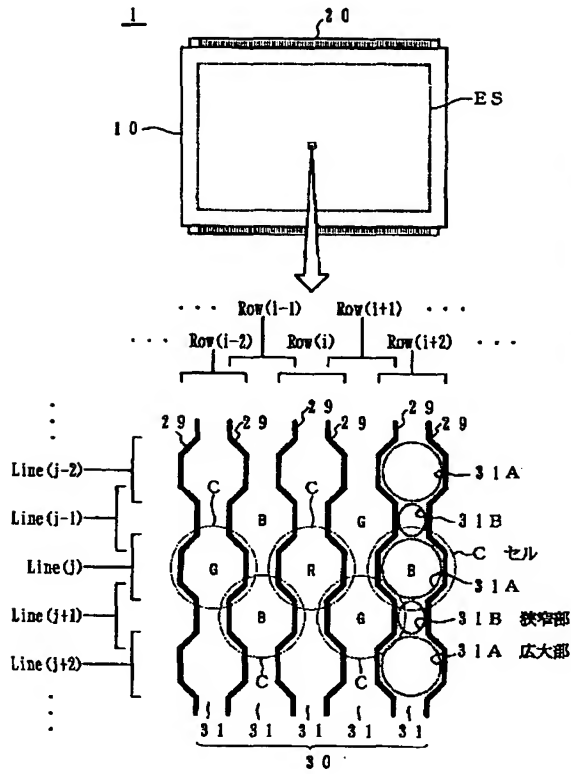
主電極形状の第1例を示す図





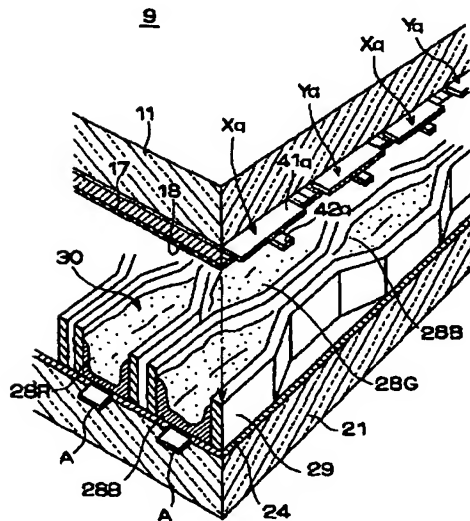
【図1】

本発明に係るPDPの画面構成を示す図



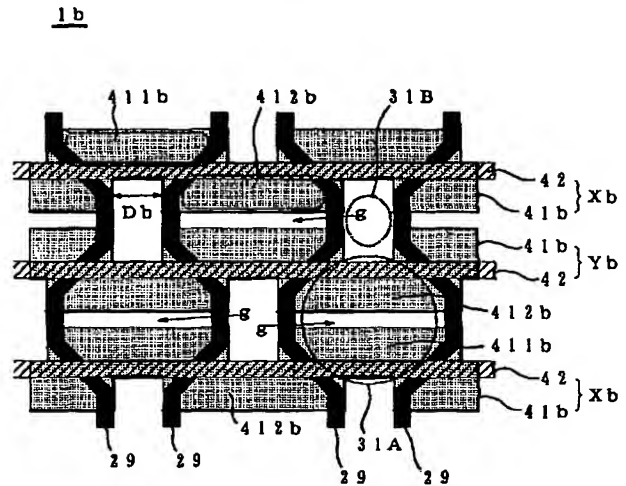
【図14】

従来のPDPの内部構造を示す斜視図



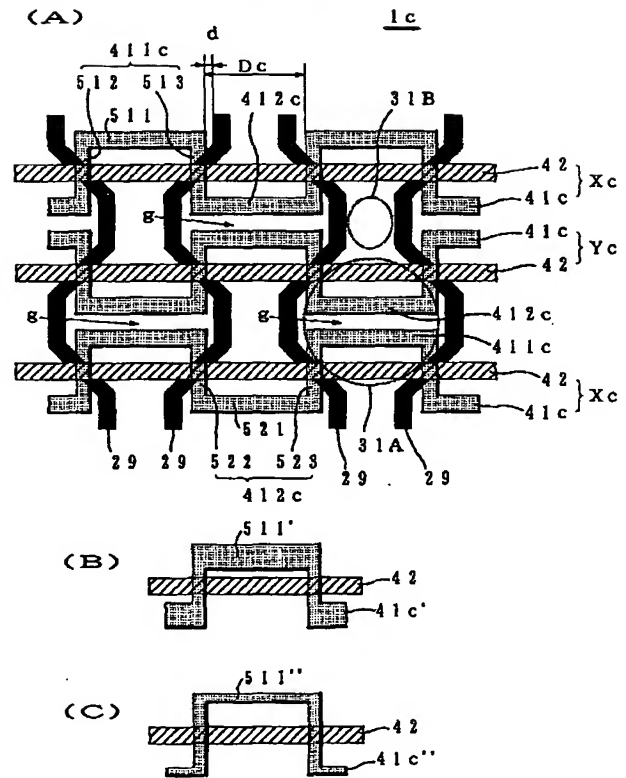
【図4】

主電極形状の第2例を示す図



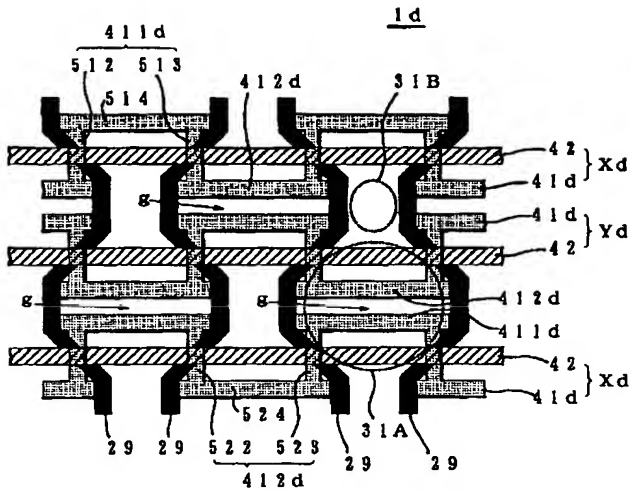
【図5】

主電極形状の第3例を示す図



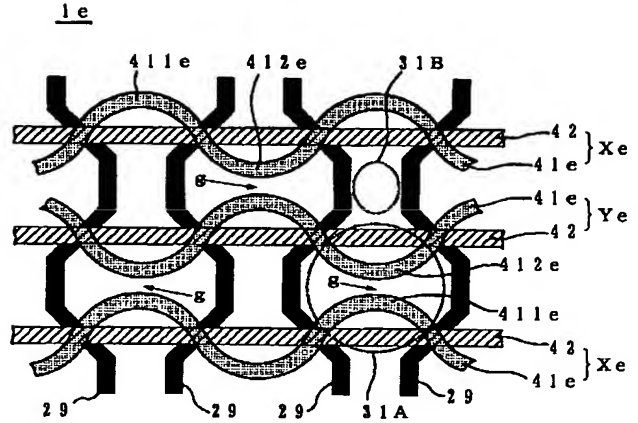
【図 6】

主電極形状の第 4 例を示す図



【図 7】

主電極形状の第 5 例を示す図

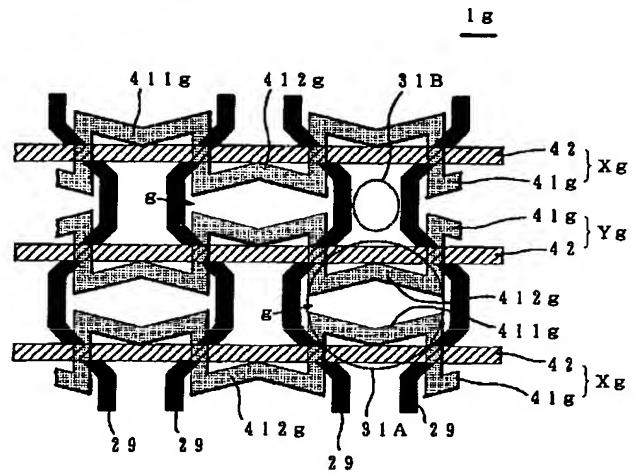
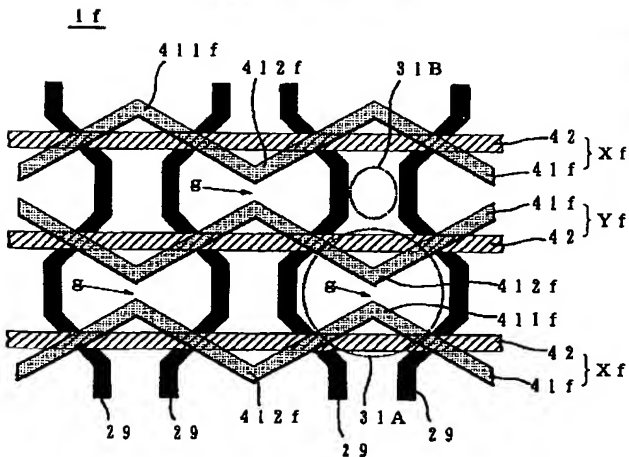


【図 9】

主電極形状の第 7 例を示す図

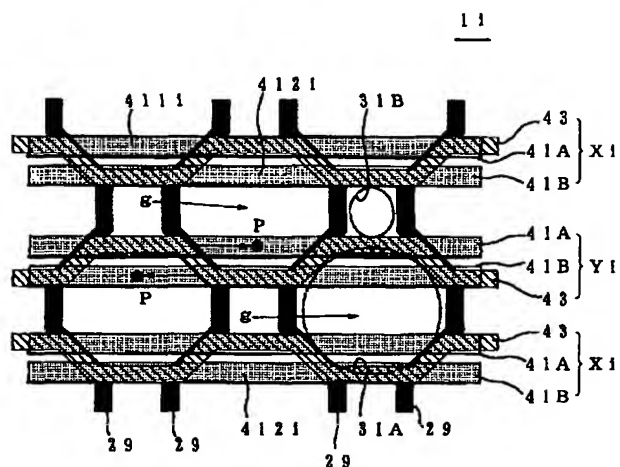
【図 8】

主電極形状の第 6 例を示す図



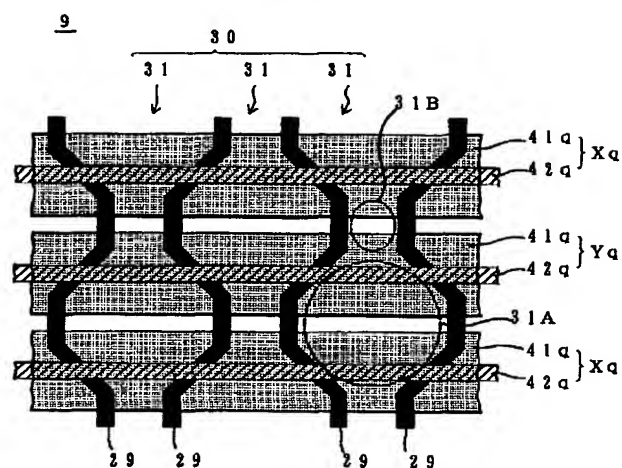
【图 1 1】

主電極形状の第 9 例を示す図



【图 13】

従来の主電極形状を示す図



(72)発明者 並木 文博  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

F ターム(参考) 5C040 FA01 FA04 GB03 GB14 GC01  
GC02 GC05 GC06 GF02 GF12  
LA02 LA05 MA03 MA12 MA20